

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-312380

(43)Date of publication of application : 02.12.1997

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
H01L 21/8234  
H01L 27/088

(21)Application number : 08-128541

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 23.05.1996

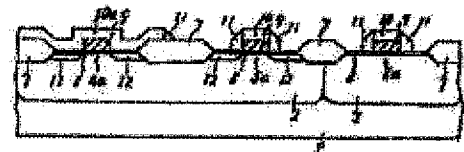
(72)Inventor : TANIGUCHI KOJI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the surface step difference between gate electrodes and semiconductor substrate and inhibit impurity diffusion into the gate electrodes by depositing side walls to the side sections of the gate electrodes of FETs for memory cells and also side walls to the gate electrodes of FETs for peripheral circuits and the side sections of a TEOS film of an upper layer.

**SOLUTION:** A resist pattern is formed on other regions than n-type FET-forming regions for forming peripheral circuits. Impurity ions are implanted into the FET-forming regions to form n-type low-concn. impurity regions in source/drain regions. TEOS film laminated on the whole surface of a semiconductor substrate 1 is anisotropically etched to form gate electrodes 9 of peripheral circuit-forming FETs 6 and side walls 11 deposited to side sections of a TEOS film 10 laminated on its upper layer with the side walls 11 formed also on the side sections of a TEOS film 10a laminated on n-type FETs forming regions for forming memory cells.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-312380

(43) 公開日 平成9年(1997)12月2日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/108		H 0 1 L 27/10	6 8 1 F
	21/8242		27/08	1 0 2 C
	21/8234			
	27/088			

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願平8-128541

(22) 出願日 平成8年(1996)5月23日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 谷口 浩二

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

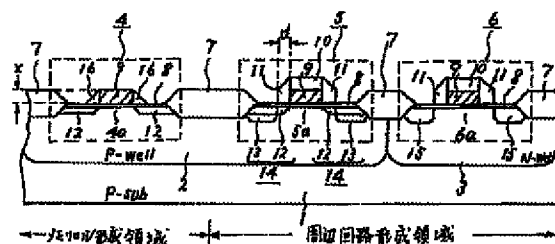
(74) 代理人 弁理士 宮田 金雄 (外3名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 従来の技術では、メモリセル形成用FETのゲート電極上にTEOS膜を積層すると表面段差が大きくなり、周辺回路形成用FETのゲート電極の上にTEOS膜を形成していないとソース/ドレイン注入の際にチャネル領域やゲート電極内に不純物が注入され、FET特性を悪化させる等の問題があった。

【解決手段】 この発明による半導体装置では、メモリセル形成用FETのゲート電極上にはTEOS膜を積層せず、その表面段差をゲート電極の膜厚のみが反映するようにし、段差の低減を図り、周辺回路形成用FETのゲート電極上にはTEOS膜を積層し、ソース/ドレイン領域の高濃度不純物領域形成のためのイオン注入によってチャネル領域やゲート電極内に不純物イオンが注入されることを抑制する。



- 1: 半導体基板
  - 2: Pウェル
  - 3: Nウェル
  - 4: メモリセル形成用N型FET
  - 5: 周辺回路形成用N型FET
  - 6: 周辺回路形成用P型FET
  - 7: 素子分離領域
  - 8: ゲート絶縁膜
  - 9: ゲート電極
  - 10: TEOS膜
  - 11: サイドウォール
  - 12: 低濃度不純物領域
  - 13: 高濃度不純物領域
  - 14: ソース/ドレイン領域
  - 15: 高濃度不純物領域
  - 16: サイドウォール
- 4a, 5a, 6a: 活性領域

## 【特許請求の範囲】

【請求項1】 半導体基板の一主面上にメモリセル形成用の第一のFETと周辺回路形成用の第二のFETとが形成された半導体装置において、上記第一のFETは、少なくとも上記半導体基板の一主面上に第一のゲート絶縁膜を介して形成された第一のゲート電極と上記第一のゲート電極の側断面に付着して形成された第一のサイドウォールと上記第一のゲート電極下部のチャネル領域を挟んで上記半導体基板内に形成された低濃度不純物領域を有し、上記第二のFETは、少なくとも上記半導体基板の一主面上に第二のゲート絶縁膜を介して形成された第二のゲート電極と、上記第二のゲート電極上に積層されたTEOS膜と、上記第二のゲート電極及び上記TEOS膜の側断面に付着して形成された第二のサイドウォールと、上記第二のゲート電極下部のチャネル領域を挟んで上記半導体基板内に形成された高濃度不純物領域を有することを特徴とする半導体装置。

【請求項2】 半導体基板の一主面上にメモリセル形成用の第一のFETと周辺回路形成用の第二のFETとが形成された半導体装置において、上記第一のFETは、少なくとも上記半導体基板の一主面上に第一のゲート絶縁膜を介して形成された第一のゲート電極と上記第一のゲート電極下部のチャネル領域を挟んで上記半導体基板内に形成された低濃度不純物領域と上記第一のゲート電極と上記低濃度不純物領域の上部に積層された第一のTEOS膜を有し、上記第二のFETは、少なくとも上記半導体基板の一主面上に第二のゲート絶縁膜を介して形成された第二のゲート電極と、上記第二のゲート電極上に積層された第二のTEOS膜と、上記第二のゲート電極及び上記第二のTEOS膜の側断面に付着して形成されたサイドウォールと、上記第二のゲート電極下部のチャネル領域を挟んで上記半導体基板内に形成された高濃度不純物領域を有することを特徴とする半導体装置。

【請求項3】 第二のFETは、少なくともNチャネル型トランジスタを含み、上記Nチャネル型トランジスタは、第二のゲート電極下部のチャネル領域を挟んで半導体基板内に形成された低濃度不純物領域を有することを特徴とする請求項1、2のいずれか一項記載の半導体装置。

【請求項4】 第一のFET及び第二のFETが有する低濃度不純物領域は、それぞれ異なる構造であることを特徴とする請求項3記載の半導体装置。

【請求項5】 半導体基板の一主面上に素子分離領域を形成し、複数の電気的に分離された活性領域を形成する第一の工程、上記活性領域上のメモリセルを構成する第一のFET及び周辺回路を構成する第二のFETの形成領域上にそれぞれゲート絶縁膜を介してポリシリコン膜を積層する第二の工程、上記第二のFETの形成領域の上記ポリシリコン膜上に、上記第二のFETのゲート電極の形状のTEOS膜を選択的に形成する第三の工程、

上記第一のFETの形成領域の上記ポリシリコン膜上に上記第一のFETのゲート電極の形状のレジストパターンを選択的に形成する第四の工程、上記TEOS膜及び上記レジストパターンをエッチングマスクとして上記ポリシリコン膜に対して異方性エッチングを行い、上記ポリシリコン膜を上記第一、第二のFETのゲート電極の形状にパターニングし、上記ポリシリコン膜からなる第一のゲート電極及び第二のゲート電極を得、上記レジストパターンを除去する第五の工程、少なくとも上記第二のゲート電極の側断面に絶縁物質からなるサイドウォールを形成する第六の工程、上記第一のFETの形成領域の上記第一のゲート電極下部のチャネル領域を挟んで上記半導体基板内に低濃度不純物領域を形成する第七の工程、上記第二のFETの形成領域の上記第二のゲート電極下部のチャネル領域を挟んで上記半導体基板内に高濃度不純物領域を形成する第八の工程を含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明はメモリセルを有するCMOS (complementary metal oxide semiconductor) 構造の半導体装置とその製造方法に関するものである。

## 【0002】

【従来の技術】図31は、一般的な従来のDRAM (dynamic random access memory) を構成するFET (field effect transistor) の断面構造を示す図であり、図において、101はP型の半導体基板、102は半導体基板101の表面から所定の深さにかけて形成されたPウェル、同じく103はNウェルであり、Pウェル102上にはメモリセルのアクセストランジスタとなるN型FET104と、周辺回路のN型FET105が形成され、Nウェル103上には周辺回路のP型FET106が形成されている。これらの同一半導体基板上に形成されたFET104、105、106はそれぞれ素子分離領域107によって電気的に分離された状態となっている。

【0003】また、108は半導体基板101の一主面上に形成されたゲート絶縁膜、109はゲート絶縁膜108上に形成されたゲート電極、110はゲート電極109上に積層されたTEOS (tetraethyl orthosilicate) 膜、111はゲート電極109、TEOS膜110の側断面に付着して形成された絶縁膜からなるサイドウォールを示している。

【0004】また、112は、メモリセル形成用のN型FET104と周辺回路形成用のN型FET105のゲート電極109下部以外の半導体基板101の表面に形成された、ソース/ドレイン領域となるN型不純物を含む低濃度不純物領域、113はN型FET105のサイドウォール111下部を含まないソース/ドレイン領域

に形成されたN型不純物を含む高濃度不純物領域、114は周辺回路形成用N型FET105の低濃度不純物領域112と高濃度不純物領域113からなるLDD構造のソース/ドレイン領域を示している。

【0005】115はP型FET106のゲート電極109下部以外の活性領域のソース/ドレイン領域となる半導体基板101の表面に形成された高濃度不純物領域を示している。図示したように、一般的にはメモリセル形成用のN型FETについては、DRAMのリフレッシュ特性の劣化を抑制する目的のため、ソース/ドレイン領域にN型高濃度不純物領域は形成しない。

【0006】図31の半導体装置のゲート電極109、ソース/ドレイン領域の形成方法は、次のとおりである。まず、半導体基板101上にLOCOS酸化によって、非活性領域となる領域に素子分離領域107を形成し、次に活性領域となる領域の半導体基板101の表面を酸化し、ゲート絶縁膜108を形成する。

【0007】その後、半導体基板101の全面にゲート電極109となる不純物リンを含むポリシリコン膜を所定の厚さに積層し、続いてTEOS膜110を積層する。その後、写真製版により所望の形状のレジストパターンを形成し、これをエッチングマスクとしてTEOS膜110をエッチングし、レジストパターンを除去後、TEOS膜110をエッチングマスクとしてポリシリコン膜をエッチングして、ゲート電極109とその上部のTEOS膜110を所定の形状にパターンニングする。

【0008】次に、メモリセル形成用及び周辺回路形成用のN型FET104及び105の形成領域に対して選択的にN型のイオンを注入し、半導体基板101の表面から比較的浅い位置にかけて低濃度不純物領域112を形成する。次に、CVD技術によりTEOS膜を積層後、異方性酸化膜エッチングを行い、ゲート電極109とTEOS膜110の側断面に選択的にサイドウォール111を形成する。

【0009】従来の半導体装置の製造段階において、ゲート電極109形成後にソース/ドレイン領域となる高濃度不純物領域113、115を形成する場合は、注入エネルギーが大きいと、ゲート電極109上にTEOS膜110を形成していないとゲート電極109やその下部のチャネル領域に不純物が注入されることになりFETのしきい値が変動する原因となったり、またはP型FET106の高濃度不純物領域115形成のイオン注入の際、P型のイオンが注入されると、ゲート電極109がリンドープポリシリコンからなり、N型であるため、ゲート電極自体が空乏化して、FET特性、特にしきい値に悪影響を及ぼすが、図31に示すように、TEOS膜110の形成により、そのイオン注入においてゲート電極109内に不純物が注入されることを抑制できるという利点があった。

【0010】しかし、このTEOS膜110を有する構

造の半導体装置においては、微細加工の面において弊害がある。図31の断面図から分かるように、ゲート電極109に加えTEOS膜110が形成されているため、その膜厚分だけ高さ方向に寸法が大きくなっており、これに伴って図31に示すように表面段差Tも大きくなっている。

【0011】表面段差Tが必要以上に大きくなると特に最小寸法が用いられるメモリセル部においては、この後工程でビット線やストレージノード等の写真製版の寸法制御性を悪化させるという問題につながる。また、この表面段差Tを小さくするためにTEOS膜110を除去する方法を用いる場合においては、残査無くTEOS膜110をエッチングするために、層間絶縁膜の平坦化が必須となり、平均化させるのにコスト増を招くという問題があった。

【0012】パターンが密集しているメモリセル部では、半導体基板101の表面上の高さとしては、TEOS膜110の上面で平均化されるが、メモリセル部と、メモリセル部に比べてパターンが疎である周辺回路部との絶対段差も大きくなり、特にアルミニウム配線の工程でプロセスのマージンを損なうことになるなどの問題があった。

【0013】また、図32は、もう一つの従来の技術による半導体装置の断面図を示す図であり、図中の符号は既に説明に用いた符号と同一符号は同一、若しくは相当部分を示しており、図31において示した構造のTEOS膜110を省略した半導体装置を示した図である。

【0014】このような半導体装置では、ゲート電極109の表面段差T2は図31の表面段差Tよりも、TEOS膜110の膜厚分だけ低くなっているため、メモリセル部の微細加工には有利である。しかし、周辺回路形成用FETでは、高濃度不純物領域113、115形成の不純物注入の際、ゲート電極109やチャネル領域に不純物が注入され、FETのしきい値に変動が生じる可能性があるなど、周辺回路形成領域のFET特性に関しては不利な構造となる。

【0015】また、ゲート電極109の側断面に付着させて形成するサイドウォール111の高さも必然的に低くなるため、サイドウォール111の形成時のドライエッチング時間などのプロセスの変動に伴い、サイドウォール幅dが顕著に変動し、FET特性を不安定にさせるという問題もあった。

【0016】また、一般的な従来の技術による半導体装置の構造として示した図31に類似の構造であり、メモリセル形成用FETにはゲート電極側断面にサイドウォールがなく、ゲート電極上の活性領域全面に酸化膜が形成され、周辺回路形成用FETにはゲート電極上にTEOS膜はなく、ゲート電極の側断面のみにサイドウォールが形成された半導体装置の構造が、特開平5-291530号公報に示されている。このような半導体装置に

においても図31に示した半導体装置と同様に、FET特性等の課題を有していた。

#### 【0017】

【発明が解決しようとする課題】以上示したように、従来の半導体装置の構造では、FETのゲート電極上にTEOS膜を形成した場合では、半導体装置の表面段差が増大し、微細加工が困難となり、TEOS膜を形成しない場合では、FETの特性に悪影響を及ぼすという問題があった。

【0018】この発明は、上述のような課題を解決するためになされたもので、メモリセル形成領域に形成するFETについてはゲート電極と半導体基板との表面段差を低減し、周辺回路形成用のソース/ドレイン領域に高濃度不純物領域を持つFETについては、ソース/ドレイン注入によってゲート電極内及びチャネル領域内に不純物が注入、拡散されることなく、安定した特性のFETを得るものである。

#### 【0019】

【課題を解決するための手段】この発明による半導体基板の一主面上にメモリセル形成用の第一のFETと周辺回路形成用の第二のFETとが形成された半導体装置は、上記第一のFETは、少なくとも上記半導体基板の一主面上に第一のゲート絶縁膜を介して形成された第一のゲート電極と上記第一のゲート電極の側断面に付着して形成された第一のサイドウォールと上記第一のゲート電極下部のチャネル領域を挟んで上記半導体基板内に形成された低濃度不純物領域を有し、上記第二のFETは、少なくとも上記半導体基板の一主面上に第二のゲート絶縁膜を介して形成された第二のゲート電極と、上記第二のゲート電極及び上記TEOS膜の側断面に付着して形成された第二のサイドウォールと、上記第二のゲート電極下部のチャネル領域を挟んで上記半導体基板内に形成された高濃度不純物領域を有するものである。

【0020】この発明による半導体基板の一主面上にメモリセル形成用の第一のFETと周辺回路形成用の第二のFETとが形成された半導体装置は、上記第一のFETは、少なくとも上記半導体基板の一主面上に第一のゲート絶縁膜を介して形成された第一のゲート電極と上記第一のゲート電極下部のチャネル領域を挟んで上記半導体基板内に形成された低濃度不純物領域と上記第一のゲート電極と上記低濃度不純物領域の上部に積層された第一のTEOS膜を有し、上記第二のFETは、少なくとも上記半導体基板の一主面上に第二のゲート絶縁膜を介して形成された第二のゲート電極と、上記第二のゲート電極上に積層された第二のTEOS膜と、上記第二のゲート電極及び上記第二のTEOS膜の側断面に付着して形成されたサイドウォールと、上記第二のゲート電極下部のチャネル領域を挟んで上記半導体基板内に形成された高濃度不純物領域を有するものである。

【0021】また、上記の構造に加え、この発明による半導体装置は、第二のFETのうちNチャネル型トランジスタであるものについては、第二のゲート電極下部のチャネル領域を挟んで上記半導体基板内に形成された低濃度不純物領域を有するものである。

【0022】さらに、上記の構造に加え、この発明による半導体装置は、第一のFET及び第二のFETが有する低濃度不純物領域が、それぞれ異なる構造のものである。

【0023】この発明による半導体装置の製造方法は、半導体基板の一主面上に素子分離領域を形成し、複数の電氣的に分離された活性領域を形成する第一の工程、上記活性領域上のメモリセルを構成する第一のFET及び周辺回路を構成する第二のFETの形成領域上にそれぞれゲート絶縁膜を介してポリシリコン膜を積層する第二の工程、上記第二のFETの形成領域の上記ポリシリコン膜上に、上記第二のFETのゲート電極の形状のTEOS膜を選択的に形成する第三の工程、上記第一のFETの形成領域の上記ポリシリコン膜上に上記第一のFETのゲート電極の形状のレジストパターンを選択的に形成する第四の工程、上記TEOS膜及び上記レジストパターンをエッチングマスクとして上記ポリシリコン膜に対して異方性エッチングを行い、上記ポリシリコン膜を上記第一、第二のFETのゲート電極の形状にパターニングし、上記ポリシリコン膜からなる第一のゲート電極及び第二のゲート電極を得、上記レジストパターンを除去する第五の工程、少なくとも上記第二のゲート電極の側断面に絶縁物質からなるサイドウォールを形成する第六の工程、上記第一のFETの形成領域の上記第一のゲート電極下部のチャネル領域を挟んで上記半導体基板内に低濃度不純物領域を形成する第七の工程、上記第二のFETの形成領域の上記第二のゲート電極下部のチャネル領域を挟んで上記半導体基板内に高濃度不純物領域を形成する第八の工程を含むものである。

#### 【0024】

##### 【発明の実施の形態】

実施の形態1. この発明の実施の形態1について説明する。図1はこの発明による実施の形態1を示す断面図であり、図において、1はP型半導体基板、2は半導体基板1の表面から所定の深さにかけて形成されたPウェル、同じく3はNウェルであり、Pウェル2上にはメモリセルのアクセストランジスタとなるN型FET4と、周辺回路を構成するN型FET5が形成され、Nウェル3上には周辺回路を構成するP型FET6が形成されている。これらのFET4、5、6はそれぞれ素子分離領域7によって電氣的に分離された活性領域4a、5a、6a上に形成された状態となっている。

【0025】また、8は半導体基板1の一主面上に形成されたゲート絶縁膜、9はゲート絶縁膜8上に形成されたゲート電極、10はゲート電極9上に積層されたTE

OS膜、11はゲート電極9、TEOS膜10の側断面に付着して形成され、絶縁膜からなるサイドウォールを示している。

【0026】さらに、12はメモリセルを構成するN型FET4と周辺回路形成用のN型FET5のゲート電極9下部以外の半導体基板1の表面に形成された、ソース／ドレイン領域となるN型不純物を含む低濃度不純物領域、13はN型FET5のサイドウォール11下部を含まないソース／ドレイン領域に形成されたN型不純物を含む高濃度不純物領域、14は周辺回路形成用N型FET5の低濃度不純物領域12と高濃度不純物領域13からなるLDD構造のソース／ドレイン領域を示している。

【0027】また、メモリセル形成用のN型FET4と周辺回路形成用のN型FET6とで、それぞれソース／ドレイン領域に注入する不純物のイオン種、注入エネルギー、注入量を変化させ、それぞれのFETに最適な状態に形成することも可能である。15はP型FET6のゲート電極9下部以外の活性領域のソース／ドレイン領域となる半導体基板1の表面に形成された高濃度不純物領域を示している。

【0028】また、16はメモリセル形成用FET4のゲート電極9の側断面に付着して形成された絶縁膜からなるサイドウォールを示している。このように形成された半導体装置においてはメモリセル形成用N型FET4はゲート電極9上にTEOS膜を形成していないため、メモリセル形成用FET4の表面段差Xは、ゲート電極9の膜厚分に相当している。

【0029】さらに、メモリセル形成用FET4はソース／ドレイン領域には半導体基板1の一主面から比較的浅い位置にかけて低濃度不純物領域12のみが形成され、高濃度不純物領域は形成されていないため、ゲート電極9内に同時に不純物イオンが注入されても、チャンネル領域に達する程深く注入されることはなく、また、ゲート電極9に含まれる不純物とソース／ドレイン領域に対して注入される不純物が同導電型であるため、ゲート電極9自体を空乏化するという事はない。

【0030】さらに、周辺回路形成用のN型、P型FET5、6はそのソース／ドレイン領域の表面から比較的深い位置にかけて高濃度不純物領域を形成する必要があるため、TEOS膜10をゲート電極9上に形成した構造とし、そのゲート電極9及びチャンネル領域内にソース／ドレイン注入と同時に不純物が注入されない構造としている。

【0031】特に、周辺回路形成用のP型FET6においては、ゲート電極がN型FET4、5のゲート電極9と同じ物質、つまりリンドーブトポリシリコン（N型不純物を含む）からなっているため、ゲート電極9上にTEOS膜10が形成された構造であるため、ゲート電極9内にソース／ドレイン注入によるP型の不純物が注入さ

れて空乏化することを抑制でき、FETの特性を劣化させることはない。

【0032】次に、この半導体装置の製造方法について説明する。まず、図2に示すように、P型半導体基板1の一主面にPウェル2及びNウェル3を形成し、次に非活性領域となる領域を選択的にLOCOS酸化し、素子分離領域7を形成する。この素子分離領域7によって半導体基板1の表面の活性領域は、例えばDRAM等のメモリセルのアクセストランジスタとなるN型FET4が形成される活性領域4a、周辺回路形成用N型FET5、P型FET6が形成される活性領域5a、6aに分離される。

【0033】その後、図3に示すように、半導体基板1の活性領域となる領域の表面に熱酸化によってゲート絶縁膜8を100～120Å程度の厚さに形成する。さらに、素子分離領域7、ゲート絶縁膜8上に、FET4、5、6の共通のゲート電極9となるリンを含むポリシリコン膜9aをCVD技術を用いて1000～2000Åの厚さとなるように積層し、その後、TEOS膜10を1000Å程度の厚さとなるように積層する。

【0034】次に、図4に示すように、周辺回路形成用N型FET5、P型FET6の活性領域5a、6a上にそれぞれのゲート電極9の形状のレジストパターン17を写真製版によって形成し、同時にメモリセル形成用FET4の形成領域を覆うレジストパターン17aを形成する。その後、図5に示すように酸化膜ドライエッチングを行い、レジストパターン17下部及びメモリセル形成用FET4の活性領域4a上に位置するTEOS膜10を残し、他のTEOS膜を選択的に除去し、レジストパターン17、17aを除去する。

【0035】次に、周辺回路形成用FET5、6の形成領域を覆ってレジストパターン（図示せず）を形成し、選択的にメモリセル形成用FET4の形成領域上のTEOS膜10を選択的に除去する。その後、図6に示すように、メモリセル形成用FET4の活性領域4a上にゲート電極9の形状のレジストパターン18を写真製版によって形成し、同時に周辺回路形成用FET5、6の形成領域を覆ってレジストパターン18aを形成する。

【0036】その後、図7に示すように、レジストパターン18、18aをエッチングマスクとしてポリシリコン膜9aのエッチングを行い、メモリセル形成用FET4のゲート電極9を形成し、レジストパターン18、18aを除去する。

【0037】次に、図8に示すように、P型FET6の形成領域上にレジストマスク19を形成し、N型FET4、5の形成領域に対してN型不純物、つまりリンや砒素等の不純物イオン注入を行い、N型低濃度不純物領域12を活性領域4a、5aのゲート電極9の下部以外の領域に形成し、レジストマスク19を除去する。このイオン注入工程において、メモリセル活性領域4a上には

ゲート電極9上にTEOS膜が積層されていないが、イオン注入条件が低エネルギー、低濃度（高濃度不純物領域13、15の約100分の1程度）なのでFET特性に悪影響を与えることはない。

【0038】その後、図9に示すように、半導体基板1の全面にCVD技術を用いてTEOS膜11aを積層する。次に、図10に示すように異方性エッチングによってTEOS膜11aをエッチングし、ゲート電極9及びTEOS膜10の側壁にサイドウォール幅dのサイドウォール11を形成する。これと同時にメモリセル形成用FET4のゲート電極9の側断面にはサイドウォール16が形成される。

【0039】その後、図11に示すように、周辺回路形成用のN型FET5の活性領域5aを露出させ、他の領域をレジストマスク20で被覆し、砒素のイオン注入を行い、活性領域5aのゲート電極9下部のチャネル領域を挟んで、半導体基板1内に高濃度不純物領域13を形成し、低濃度不純物領域12とでLDD構造のソース/ドレイン領域14を形成する。その後、レジストマスク20は除去する。

【0040】次に、図12に示すように、周辺回路形成用P型FET6の形成領域以外の領域を覆うようにレジストマスク21をパターンニングし、その後、FET6の形成領域に対してボロンを注入し、活性領域6aの露出領域の表面にP型の高濃度不純物領域15を形成する。その後、レジストマスク21を除去することで図1に示すような半導体装置を得ることが可能になる。

【0041】このように形成された半導体装置においては、特に高集積化が必要とされ、これに伴って高さ方向の微細化が必要とされているメモリセル形成用FET4の表面段差Xは、ゲート電極9の膜厚のみが反映されたものであり、従来のようにTEOS膜10の厚さを含んでいないため、表面段差Xは非常に小さいもので高さ方向への微細化が可能となり、微細加工に適した構造にすることができる。

【0042】また、ゲート電極9上にTEOS膜は形成されていないが、低濃度不純物領域12形成のためのイオン注入の際、同時にゲート電極9内に不純物が注入されても、その注入エネルギーと不純物濃度が小さいため、ゲート電極9を突き抜け、チャネル領域まで不純物が注入されることはなく、また、ゲート電極9の不純物濃度を变化させたことによってもFET特性に変化を及ぼすことはない。

【0043】また、ソース/ドレイン領域に高濃度不純物領域13、15を有する周辺回路形成用N型、P型FET5、6については、高濃度不純物領域13、15形成のためにイオン注入を行う際に、ゲート電極9上にTEOS膜10を積層することでチャネル領域に不純物が注入されることを防止し、FETのしきい値の変動を抑制することができる。また、TEOS膜10を積層した

状態でゲート電極9の側断面にサイドウォール11を形成するため、サイドウォール幅dを安定な値とすることが可能である。

【0044】このように、同一半導体装置に形成されるメモリセル形成用N型FET4、周辺回路形成用N型、P型FET5、6をそれぞれ適した構造のFETとすることが可能となる。

【0045】また、上記の図4～図6に示した製造方法に変えて、次の図13～図15に示すような方法によって同様の構造の半導体装置を得ることも可能である。まず、図13に示すように、周辺回路形成用N型、P型FETの活性領域5a、6a上にそれぞれのゲート電極の形状のレジストパターン17を写真製版によって形成する。その後、図14に示すように酸化膜ドライエッチングを行い、レジストパターン17下部に位置するTEOS膜10を残し、他のTEOS膜を選択的に除去し、レジストパターン17を除去する。

【0046】次に、図15に示すように、メモリセル形成用FET4の活性領域4a上にゲート電極9の形状のレジストパターン18を写真製版によって形成する。その後、レジストパターン18と既にパターンニングしたTEOS膜10をエッチングマスクとしてポリシリコン膜9aのエッチングを行い、それぞれのFETのゲート電極9を同時にパターンニングし、その後、レジストパターン18を除去することで、既に説明した図7に示すような状態とする。

【0047】このように、ゲート電極9のパターンニングを、レジストパターン18とTEOS膜10の異なる物質からなるエッチングマスクを用いて同時に行うことも可能であり、この工程により、ゲート電極9のパターンニング工程数を減少させることができるという効果がある。

【0048】実施の形態2. 次に、実施の形態2について説明する。先述の実施の形態1においては、メモリセル形成用N型FET4のゲート電極9の側壁にもサイドウォール11が形成されていたが、この実施の形態2の構造は、図16に示すように、メモリセル形成用N型FET4のゲート電極9の側壁にサイドウォールが形成されておらず、TEOS膜10aがN型FET4形成領域4上に均一な厚さに積層された構造となっている。よって、メモリセル形成用FET4の表面段差X2は、ゲート電極9の膜厚を反映した状態となっている。この図16において、既に説明のために用いた符号と同一符号は同一、若しくは相当部分を示すものである。

【0049】次に、図16に示す半導体装置の製造方法について説明する。まず、実施の形態1の図2ないし図9の製造方法と同様に製造し、次に、図17に示すように、周辺回路形成用N型FET5の形成領域以外の領域にレジストマスク22を形成し、これをマスクとして砒素等をイオン注入し、N型FET5のソース/ドレイン

領域14となる高濃度不純物領域13を形成する。その後、レジストマスク22を除去する。

【0050】次に、図18に示すように周辺回路形成用のP型FET6の形成領域以外の領域にレジストマスク23を形成し、異方性酸化膜ドライエッチングでP型FET6のゲート電極9及びTEOS膜10の側断面にサイドウォール11を形成する。その後、ボロン等をイオン注入してソース/ドレイン領域となる高濃度不純物領域15を形成する。次にレジストマスク23を除去することで図16に示す半導体装置を形成することが可能となる。

【0051】通常のサイドウォール11の形成工程においてはゲート電極9形成後、FETの全面に絶縁膜を積層し、その後、異方性の酸化膜エッチングを行うことでゲート電極9の側断面のみに絶縁膜を残してサイドウォールを形成するが、この方法では活性領域4aの表面にまでエッチングが及び、エッチングダメージを与えることになり、これによってDRAMメモリのリフレッシュ特性を悪化させてしまう場合があった。

【0052】しかし、図16の構造の半導体装置においては、実施の形態1の効果に加え、メモリセル形成用N型FET4のゲート電極9の側断面にサイドウォールを形成する工程が含まれていないため、より安定した特性のメモリセル形成用のN型FET4を形成することが可能となる。

【0053】実施の形態3。次に、この発明の実施の形態3について説明する。この実施の形態3によって形成する半導体装置は実施の形態2に示したタイプの半導体装置と類似の構造の半導体装置を得る方法を示すものである。

【0054】実施の形態1、2では同一半導体基板上に形成するFETについても、そのゲート電極のパターニングの際にエッチングマスクとして用いる物質がメモリセル形成用FET4と周辺回路形成用FET5、6とで異なっていた。この実施の形態3で示す半導体装置の製造方法では、同一半導体基板上に形成するメモリセル形成用FET4及び周辺回路形成用FET5、6のゲート電極をすべて同じ物質からなるエッチングマスクを用いてパターニングする例を示す。

【0055】まず、図19に、この実施の形態3の半導体装置の製造方法によって形成した半導体装置の断面図を示す。図において、実施の形態2を示す図16との相違点は、メモリセル形成用のN型FET4のゲート電極9上に形成されたTEOS膜10aの断面に付着したサイドウォール11が、素子分離領域7上に形成されている点である。また、図面に付した符号で、既に実施の形態1、2において用いた符号と同一符号は、同一、若しくは相当部分を示している。

【0056】この図19の半導体装置は、実施の形態2に示した半導体装置と同様に、メモリセル形成用N型F

ET4の表面段差X2が、つまりゲート電極9の膜厚分しか無く、実効的な高さ方向の微細化が可能な構造となっており、周辺回路形成用のN型、P型FET5、6においては、ゲート電極9の上部にTEOS膜10を形成しているため、ソース/ドレイン注入の際にゲート電極9内に対する注入の抑制が可能な構造である。

【0057】次に、図19の半導体装置の製造方法について説明する。まず、図20に示すように、実施の形態1と同様に、半導体基板1内にPウェル2、Nウェル3を形成し、LOCOS酸化によって素子分離領域7を形成する。素子分離領域によって、半導体基板1の一面は複数に分割され、図20においては、左側から順に活性領域4a、5a、6aが形成されている。この活性領域4aにはメモリセルのアクセストランジスタとなるN型FET4が形成され、また5a、6aには周辺回路形成用のN型FET5、P型FET6がそれぞれ形成される。

【0058】その後、図21に示すように、活性領域4a、5a、6a表面を酸化し、シリコン酸化膜からなるゲート絶縁膜8を形成する。次に、半導体基板1の全面にゲート電極9となるポリシリコン膜9aを所定の厚さに積層する。さらに、活性領域4a上には、ここに形成しようとするN型FET4のゲート電極9の形状にレジストパターン24aをパターニングし、同時にN型FET4の形成領域以外の領域上にはレジストパターン24bを形成する。

【0059】次に、図22に示すように、レジストパターン24a、24bをエッチングマスクとして、ポリシリコン膜9aに対して異方性エッチングを行い、メモリセル形成用N型FETのゲート電極9を形成し、レジストパターン24a、24bを除去する。

【0060】その後、図23に示すように、メモリセル形成用FET4の活性領域4aに対し、N型不純物イオンを注入することにより、ソース/ドレイン領域となる低濃度不純物領域12を形成する。

【0061】次に、図24に示すように、半導体基板1の全面にTEOS膜10を所定の厚さに積層し、次にメモリセル形成用FET4の形成領域上にレジストパターン25aを形成し、周辺回路形成用のN型FET5、P型FET6のゲート電極9の形成領域上に、それぞれのゲート電極9の設計寸法と同じ寸法のレジストパターン25b、25cを形成する。

【0062】その後、図25に示すように、レジストパターン25a、25b、25cをエッチングマスクとして異方性エッチングを行い、TEOS膜10及び周辺回路形成用FET5、6のゲート電極9を設計寸法通りにパターニングし、レジストパターン25a、25b、25cを除去する。この段階で、メモリセル形成用N型FET4の形成領域上には、TEOS膜10aが残った状態となる。



【0063】次に、図26に示すように、周辺回路形成用N型FET5の形成領域以外の領域上にレジストパターン26を形成し、周辺回路形成用N型FET5の形成領域に対して不純物イオン注入を行い、ソース/ドレイン領域にN型低濃度不純物領域12aを形成する。その後、レジストパターン26は除去する。このように、周辺回路形成用N型FET5の低濃度不純物領域12aとメモリセル形成用N型FET4の低濃度不純物領域12とをそれぞれ別々の工程で、それぞれのFETに対して最適な構造となるように形成することが可能となる。

【0064】その後、図27に示すように、半導体基板1の全面に所定の厚さのTEOS膜11aを積層する。次に、図28に示すように、TEOS膜11aに対して異方性エッチングを行い、周辺回路形成用FET5、6のゲート電極9と、その上層に積層されたTEOS膜10の側断面に付着した状態のサイドウォール11を形成する。このとき、メモリセル形成用N型FET4の形成領域上に積層されているTEOS膜10aの側断面にもサイドウォール11が形成された状態となる。

【0065】その後、図29に示すように、周辺回路形成用N型FET5の形成領域以外の領域に対してレジストパターン27を形成し、周辺回路形成用N型FET5の活性領域に対して不純物イオン注入を行い、N型高濃度不純物領域13を形成する。これによって、低濃度不純物領域12と高濃度不純物領域13からなるLDD構造のソース/ドレイン領域14を構成することができる。その後、レジストパターン27は除去する。

【0066】次に、図30に示すように、周辺回路形成用P型FET6形成領域以外の領域に対してレジストパターン28を形成し、周辺回路形成用P型FET6のソース/ドレイン領域に対して不純物イオン注入を行い、P型の高濃度不純物領域15を形成する。その後、レジストパターン28を除去することで図19に示す半導体装置を得ることが可能となる。

【0067】このように、実施の形態3による製造方法によって形成される半導体装置は、実施の形態1、2の半導体装置と同様に、ソース/ドレイン領域に高濃度不純物領域13、15を有するFETのゲート電極9上にはTEOS膜10を形成しているため、高濃度不純物領域13、15を形成するためのイオン注入の際に、ゲート電極9内に不純物が注入されることはなく、また、メモリセル形成用N型FET4の形成後の表面段差X2は、実質的にはゲート電極9の膜厚分だけが反映された状態であるため、その表面段差X2は他の周辺回路形成用FET5、6の表面段差に比べて格段に小さく、メモリセル形成用N型FET4は高さ方向に微細化された構造になると言える。

【0068】また、この半導体装置の製造方法によれば、メモリセル形成用N型FET4、周辺回路形成用N型FET5、メモリセル形成用P型FET6のいずれの

ゲート電極9も、エッチングマスクをレジストパターンにより構成している。レジストパターンをエッチングマスクに用いた加工技術は、従来から存在する一般的な加工技術であり、このエッチングマスクを用いた加工とすることで、容易に半導体装置の形成が可能となる。

【0069】さらに、この半導体装置の製造方法によれば、メモリセル形成用N型FET4と周辺回路形成用N型FET5のソース/ドレイン領域を構成する低濃度不純物領域12、12aを別々の段階で形成したため、イオン注入の条件をそれぞれのFETに最適な条件とすることができるという効果がある。

【0070】さらに、実施の形態2と同様に、TEOS膜10aをメモリセル形成用N型FET4の形成領域の全面に配置形成しているため、活性領域4aの表面をエッチングする工程は、ゲート電極9のパターニング以外には無く、極めてエッチングによるダメージが少ないFET4を形成でき、DRAMのリフレッシュ特性を良好な状態とすることが可能になる。

【0071】その他、この実施の形態1～3に示した製造方法に限らず、最終的に図1、図16、図19のように、メモリセル形成用FET4のゲート電極9上にはゲート電極9と同じ寸法のTEOS膜が形成されておらず、同一半導体基板1上の周辺回路形成用FET5、6にはゲート電極9上にTEOS膜10が形成されており、その側断面に付着してサイドウォール11が形成されているという構造を得ることが可能であれば、いかなる製造方法により形成されていても、実施の形態1～3の効果とほとんど同じ効果を期待することができることは言うまでもない。

#### 【0072】

【発明の効果】この発明による半導体装置においては、メモリセル形成用のFETにはゲート電極上にTEOS膜を形成せず、ゲート電極の側断面のみに第一のサイドウォールを形成し、周辺回路形成用のFETにはゲート電極とこのゲート電極の上層に積層されたTEOS膜の側断面に付着して第二のサイドウォールを形成する構造を取ることで、メモリセル形成領域における表面段差を低減し、周辺回路形成用FETのソース/ドレイン領域を構成する高濃度不純物領域を形成する際のイオン注入時においてもチャネル領域及びゲート電極内に不純物が注入されることを抑制でき、安定したFET特性の半導体装置とすることが可能となり、さらに、周辺回路形成用FETのサイドウォール幅の変動が少ない構造とすることが可能となる。

【0073】また、この発明による半導体装置においては、メモリセル形成用のFETにはゲート電極を介して活性領域上にTEOS膜を所定の厚さに積層し、周辺回路形成用のFETにはゲート電極とこのゲート電極の上層に積層されたTEOS膜の側断面に付着してサイドウォールを形成する構造を取ることで、メモリセル形成領

10

20

30

40

50

域における表面段差を低減し、周辺回路形成用FETのソース/ドレイン領域を構成する高濃度不純物領域を形成する際のイオン注入時においてもチャンネル領域及びゲート電極内に不純物が注入されることを抑制でき、安定したFET特性の半導体装置とすることが可能となり、さらに、周辺回路形成用FETのサイドウォール幅の変動が少ない構造とすることが可能となる。さらに、メモリセル形成用FETのゲート電極の側断面に付着させてサイドウォールを形成していないため、サイドウォール形成のためのエッチングがなされないため、活性領域表面に与えるダメージを少なくでき、DRAMのリフレッシュ特性の劣化を抑制できるという効果がある。

【0074】さらに、この発明による半導体装置においては、上記のような効果に加え、周辺回路形成用の第二のFETのNチャンネル型トランジスタについては、チャンネル領域を挟んで形成されるソース/ドレイン構造を低濃度不純物領域を付加的に形成することでLDD構造とし、FET特性を向上させることが可能となる。

【0075】また、この発明による半導体装置においては、上記のような効果に加え、メモリセル形成用FETと周辺回路形成用FETのNチャンネル型トランジスタに形成される低濃度不純物領域とはそれぞれ異なる構造であり、それぞれのFETの特性に適した条件とすることが可能であり、FET特性を向上させることが可能となる。

【0076】また、この発明による半導体装置の製造方法においては、メモリセル形成用FETと周辺回路形成用FETのゲート電極をパターニングする際に用いるエッチングマスクは、メモリセル形成用FETではレジストパターン、周辺回路形成用FETでは所定の寸法に形成したTEOS膜であり、異なる物質からなるエッチングマスクを用いて同時にエッチングを行うことが可能であり、ゲート電極上にゲート電極と同じ形状のTEOS膜を積層しているものとしていないものの区別無く、同時にゲート電極のパターニングを行えるため、工程数増大を伴うことなく、それぞれのFETに適した構造とすることができるという効果がある。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1の半導体装置の断面図である。

【図2】 この発明の実施の形態1の製造工程を示す図である。

【図3】 この発明の実施の形態1の製造工程を示す図である。

【図4】 この発明の実施の形態1の製造工程を示す図である。

【図5】 この発明の実施の形態1の製造工程を示す図である。

【図6】 この発明の実施の形態1の製造工程を示す図である。

【図7】 この発明の実施の形態1の製造工程を示す図である。

【図8】 この発明の実施の形態1の製造工程を示す図である。

【図9】 この発明の実施の形態1の製造工程を示す図である。

【図10】 この発明の実施の形態1の製造工程を示す図である。

【図11】 この発明の実施の形態1の製造工程を示す図である。

【図12】 この発明の実施の形態1の製造工程を示す図である。

【図13】 この発明の実施の形態1の製造工程を示す図である。

【図14】 この発明の実施の形態1の製造工程を示す図である。

【図15】 この発明の実施の形態1の製造工程を示す図である。

【図16】 この発明の実施の形態2の半導体装置の断面図である。

【図17】 この発明の実施の形態2の製造工程を示す図である。

【図18】 この発明の実施の形態2の製造工程を示す図である。

【図19】 この発明の実施の形態3の半導体装置の断面図である。

【図20】 この発明の実施の形態3の製造工程を示す図である。

【図21】 この発明の実施の形態3の製造工程を示す図である。

【図22】 この発明の実施の形態3の製造工程を示す図である。

【図23】 この発明の実施の形態3の製造工程を示す図である。

【図24】 この発明の実施の形態3の製造工程を示す図である。

【図25】 この発明の実施の形態3の製造工程を示す図である。

【図26】 この発明の実施の形態3の製造工程を示す図である。

【図27】 この発明の実施の形態3の製造工程を示す図である。

【図28】 この発明の実施の形態3の製造工程を示す図である。

【図29】 この発明の実施の形態3の製造工程を示す図である。

【図30】 この発明の実施の形態3の製造工程を示す図である。

【図31】 従来技術を示す断面図である。

【図32】 従来技術を示す断面図である。

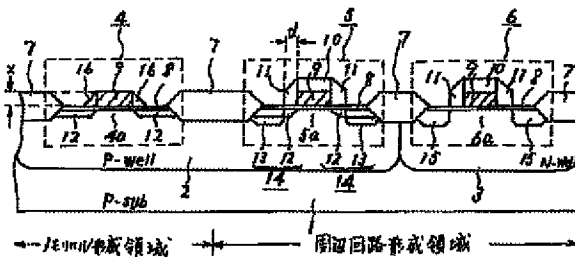
## 【符号の説明】

- |                   |              |
|-------------------|--------------|
| 1. 半導体基板          | 2. Pウェル      |
| 3. Nウェル           | 4. N型FET     |
| 5. N型FET          | 6. P型FET     |
| 7. 素子分離領域         | 8. ゲート絶縁膜    |
| 9. ゲート電極          | 9a. ポリシリコン膜  |
| 10、10a、11a. TEOS膜 |              |
| 11、16. サイドウォール    | 12、12a. 低濃度* |

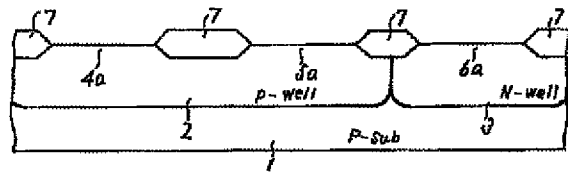
## \*不純物領域

- |  |                |
|--|----------------|
| 13、15. 高濃度不純物領域                                      | 14. ソース/ドレイン領域 |
| 17、17a、18、18a、24a、24b、25a、25b、25c、26、27、28. レジストパターン |                |
| 19、20、21、22、23. レジストマスク                              |                |

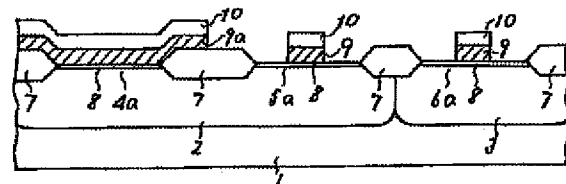
【図1】



【図2】

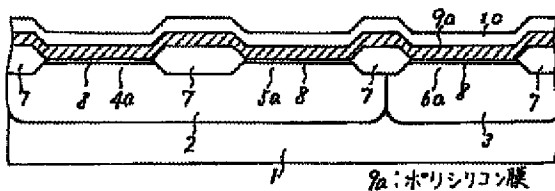


【図5】



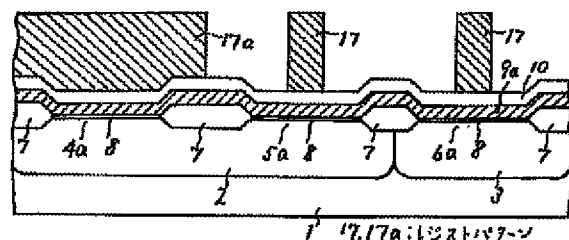
- |                  |                |
|------------------|----------------|
| 1. 半導体基板         | 4a、5a、6a: 活性領域 |
| 2. Pウェル          |                |
| 3. Nウェル          |                |
| 4. メモリセル形成用N型FET |                |
| 5. 周辺回路形成用N型FET  |                |
| 6. 周辺回路形成用P型FET  |                |
| 7. 素子分離領域        |                |
| 8. ゲート絶縁膜        |                |
| 9. ゲート電極         |                |
| 10. TEOS膜        |                |
| 11. サイドウォール      |                |
| 12. 低濃度不純物領域     |                |
| 13. 高濃度不純物領域     |                |
| 14. ソース/ドレイン領域   |                |
| 15. 高濃度不純物領域     |                |
| 16. サイドウォール      |                |

【図3】



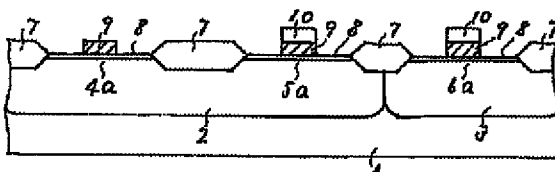
9a: ポリシリコン膜

【図4】

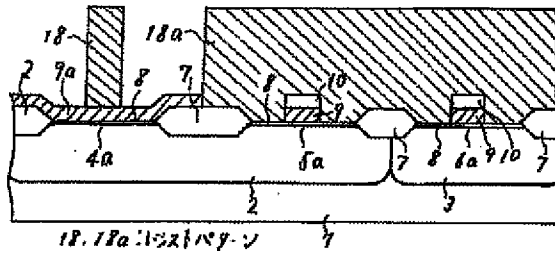


17、17a: レジストパターン

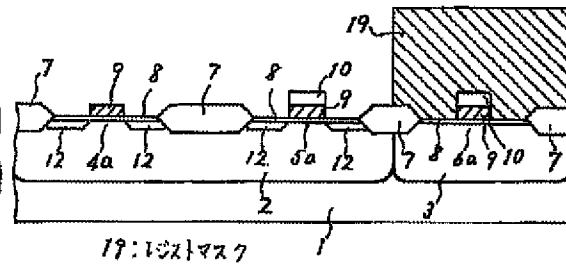
【図7】



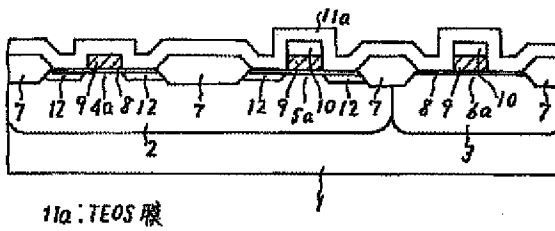
【図6】



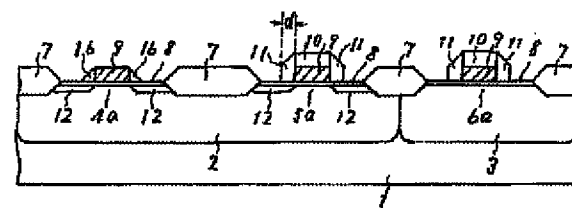
【図8】



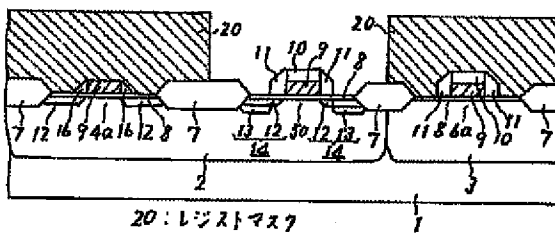
【図9】



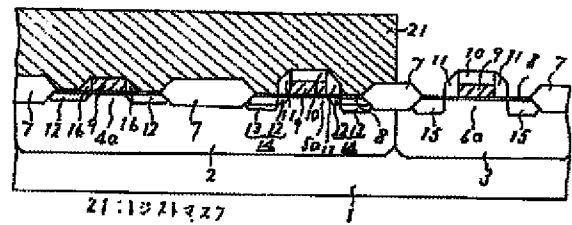
【図10】



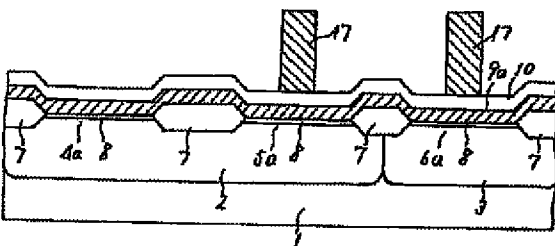
【図11】



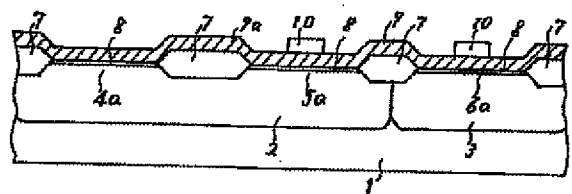
【図12】



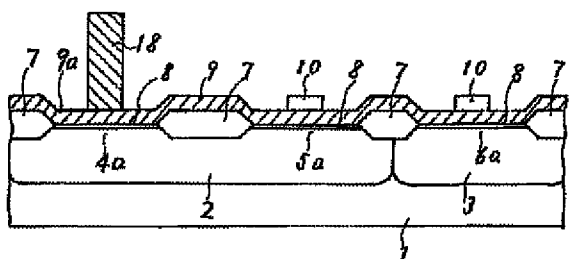
【図13】



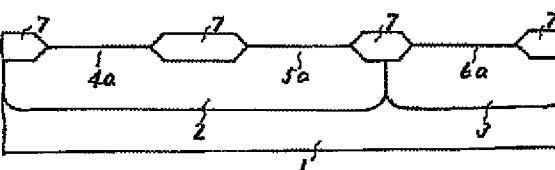
【図14】



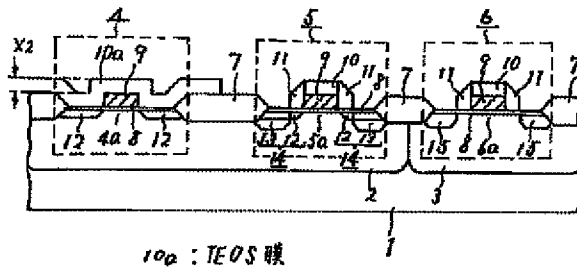
【図15】



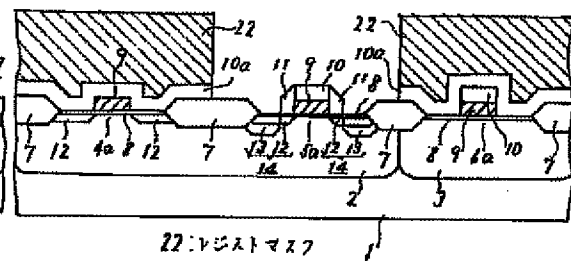
【図20】



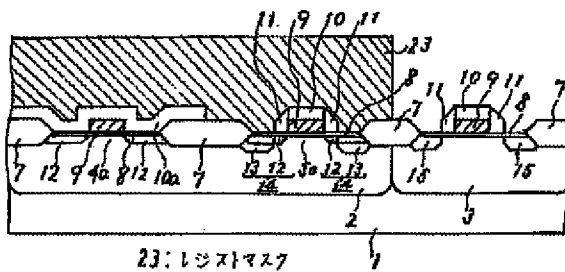
【図16】



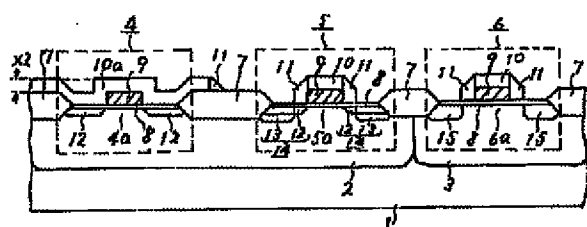
【図17】



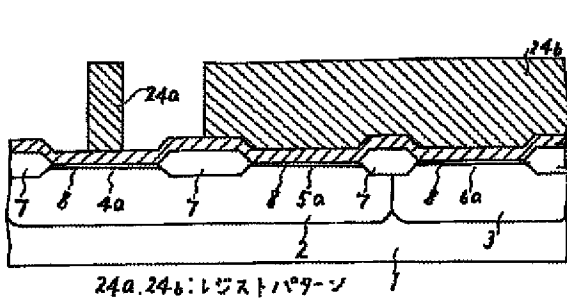
【図18】



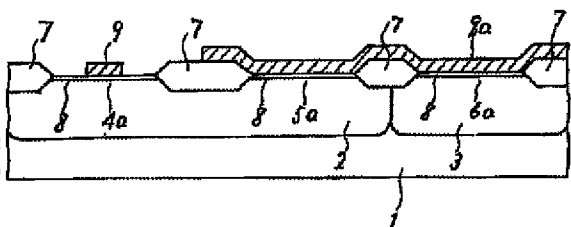
【図19】



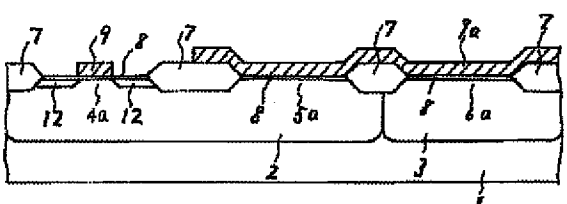
【図21】



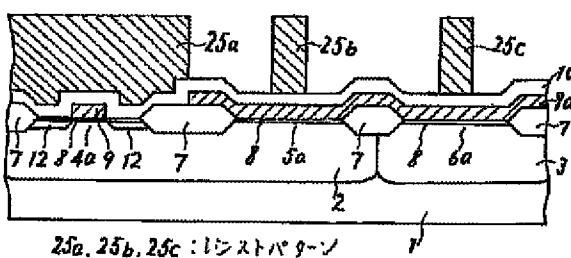
【図22】



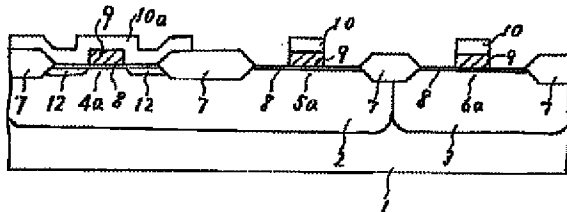
【図23】



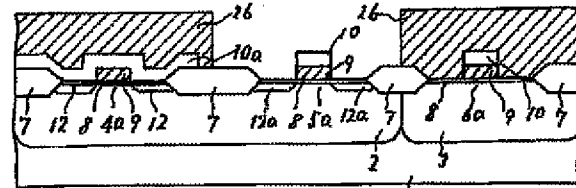
【図24】



【図25】

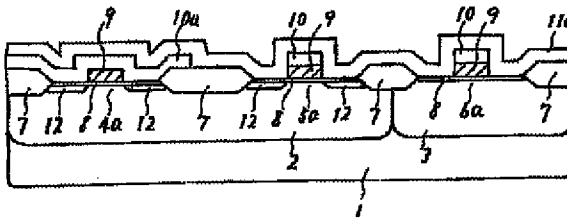


【図26】

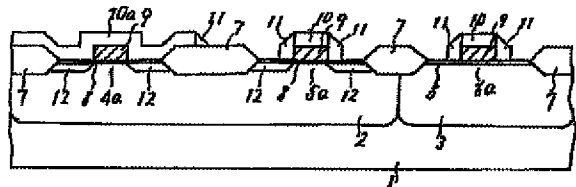


12a:低濃度不純物領域  
26:レジストパターン

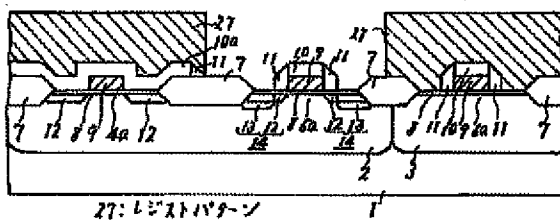
【図27】



【図28】

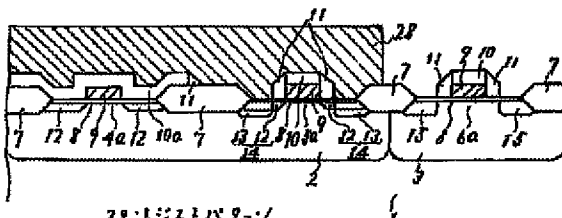


【図29】



27:レジストパターン

【図30】



28:レジストパターン

特開平9-312380

[illegible]